

高速差動伝送の極意

PCI Express のパターン設計と計測技術に学ぶ

志田 晟

2.5Gbps という非常に高速な信号伝送を行う PCI Express (Gen1) などの高速差動伝送は、最近かなり一般化してきました。ここでは一般的な高速差動シリアル信号の計測や回路設計に必要な技術を解説します。伝送速度 2.5Gbps の第 1 世代の PCI Express 信号のパターン設計の要点を取り上げます。

(筆者)

1. 高速シリアル信号を体感しよう！

● PC のメイン・ボードは高速インターフェースが満載

写真1 は、2007 年に発売されたパソコンのメイン・ボードの一例です。a で示した五つのコネクタは PCI Express バスの拡張基板用コネクタです。短く 3 個見えるコネクタは 1 レーン (x1)、長いものは 16 レーン (x16)、一番右は 4 レーン (x4) です。一方、写真1 の b で示した 2 個のコネクタ

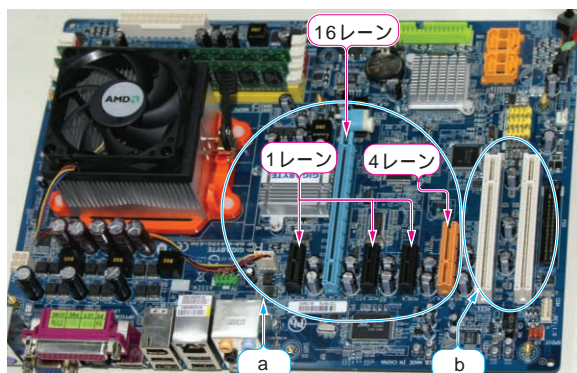


写真1 パソコンのメイン・ボード上の PCI Express コネクタ
a が PCI Express コネクタ、b が PCI バス・コネクタ

は従来バスである PCI の拡張コネクタです。PCI Express は、1 レーンだけで従来の PCI バス並みのデータ転送量があります。

図1 は PCI Express の 1 レーン分の簡単なブロック図です。送受信それぞれ差動の 1 対の線路で 1 レーンが構成されています。

そのほかにもこのメイン・ボードには USB(480Mbps)、Serial ATA(3Gbps)、HDMI(High-definition Multimedia Interface)など、高速シリアル伝送のいろいろなインターフェースも備えています。パラレル伝送では DDR2 メモリを搭載しています。写真2(a)は HDMI のコネクタを、写真2(b)は Serial ATA(3Gbps)のコネクタとケーブルを示します。

図2(a)はメイン・ボード上を流れる PCI のクロック波形と PCI Express の信号波形、図2(b)は PCI Express 信号の拡大波形です。PCI Express が PCI よりも随分高速になったことが分かります。

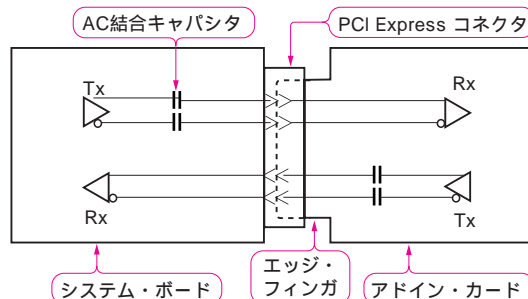
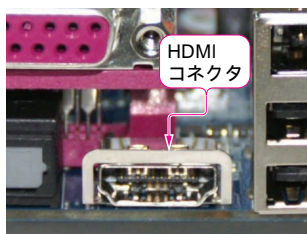


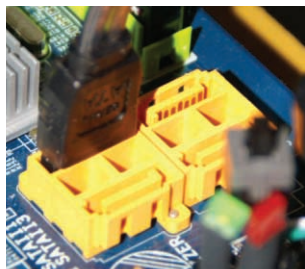
図1 PCI Express の 1 レーン
差動の送受信で構成。電源などは省略している。

KeyWord

差動信号、シングルエンド信号、PCI Express、Gen1、CBB、Serial ATA、HDMI、HyperTransport、ディエンファシス



(a) HDMI



(b) シリアルATA-2のコネクタとケーブル

写真2 パソコン用メイン・ボード上のコネクタ

また写真3には、PCI Expressの16レーンを使用したグラフィックス・カードの例を示します。

データ・レートと周波数は意味が異なるので注意が必要です(図3)。

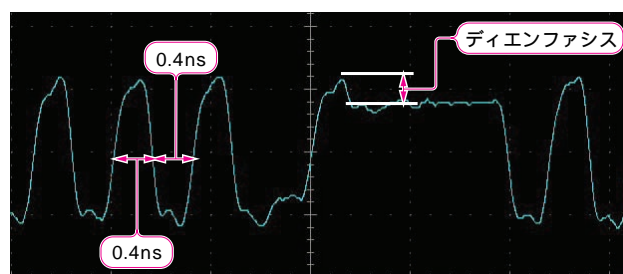
● PCのメイン・ボードにプローブをあててみよう！

メイン・ボード上のほかの高速信号の波形を見てみましょう。まずHDMI信号です。HDMIは最近、地上デジタル放送のハイビジョン表示機器などに使われているデジタルのビデオ信号とオーディオ信号の伝送規格です。信号伝送方式はパソコンの液晶モニタなどに画像を伝送する規格であるDVI(Digital Visual Interface)と同じTMDS(Transition Minimized Differential Signaling)という方式が使われています。PCI Express, LVDS, TMDSの基本回路は図4のような差があります。

図5(a)はメイン・ボード上のPCIバスとHDMI信号を同時に見たもので、図5(b)はHDMI信号の拡大波形です。それぞれ設定が違うので、伝送速度が異なります。図5(a)



(a) PCIのクロックとPCI Express信号



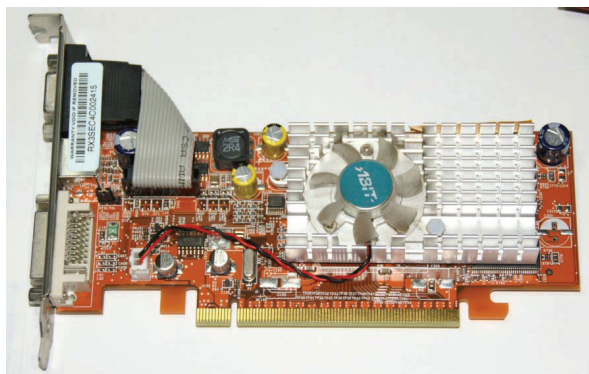
(b) PCI Express信号の拡大

図2 PCI Expressの信号波形

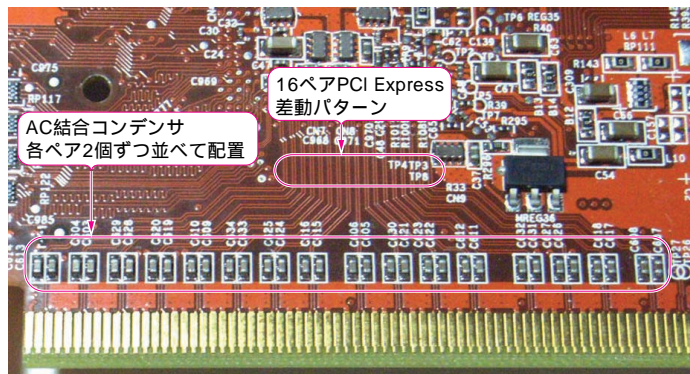
(a)の上の波形がPCIのバス・クロック、下がPCI Expressの信号波形。PCIのクロック周期は約30ns(33MHz)と読み取れる。(b)は0.4nsで1ビットを送っている。PCI Expressの伝送速度は、 $1/(0.4 \times 10^{-9}) = 2.5 \times 10^9 = 2.5\text{Gbps}$ と分かる。

を見ると、HDMI信号の中心電圧は約2Vです。これは線路の終端側で電源(3.3V)につながる終端抵抗でプルアップされているためです。また図6は、同じメイン・ボード上のSerial ATA信号の波形(3Gbps)です。

このメイン・ボードは米国AMD(Advanced Micro



(a) グラフィックス・カード



(b) PCI Express 16レーンの信号パターン

写真3 PCI Express グラフィックス・カードの外観

PCI Expressの16レーンは4Gバイト/sでデータを送れる。高速グラフィックス・カードはPCI Expressの16レーンを用いることが普通になってきている。中央部分に16対のパターンが上下に走っていることが分かる。

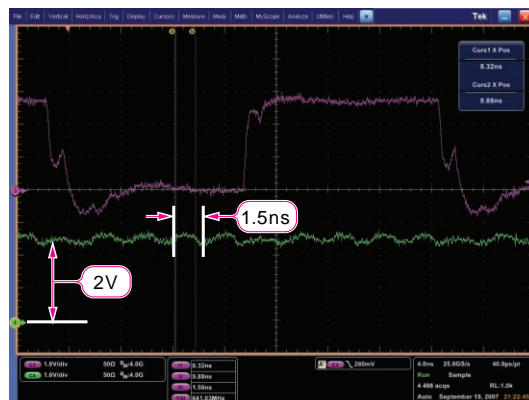
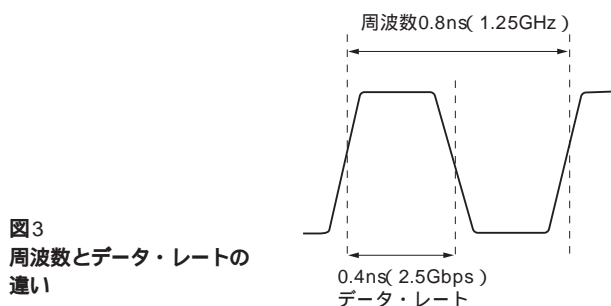
Devices)社のCPUを使っているためCPU周辺のバスにHyperTransport という高速差動伝送が使われています。図7にHyperTransportの波形(2Gbps)を示します。本メイン・ボード上ではそれ以外にも、DDR2メモリ・バスなどの高速バス、高速信号が常時動いています。

なおこのHyperTransportはCPUにじかに繋がっているシステム動作上重要なバスです。最新の差動プローブを使用して波形を測定しましたが、システムがハングアップしました。今回のメイン・ボード上の波形観測を行ったほ

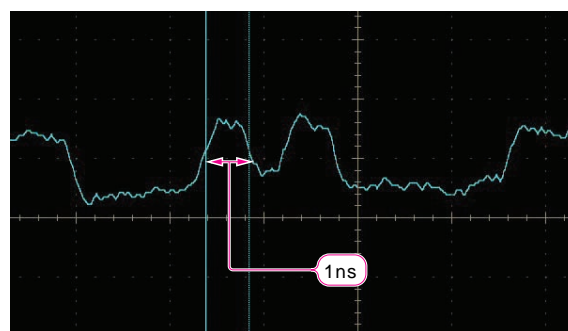
とんどの場合で再起動が必要でした。メイン・ボードの波形測定は、重要なデータが入ったパソコンなどを使わず、あくまで“実験”として行うべきです。

● アイを開くために振幅を抑える(ディエンファシス)

PCI Expressの信号は、図1で分かるように、2本の線を対にしたデジタル差動伝送で送られています。PCI Expressの拡大波形[図2(b)]を見ると1, 0, 1, 0と変化



(a) PCIクロックとHDMI



(b) HDMIの拡大波形

図5 パソコンのマザー・ボード上の高速伝送波形

(a)はカーソル間は1.5nsなのでデータ転送速度は640Mbps程度と読める。(b)はカーソル間は1nsなので1Gbpsのデータが送られている。

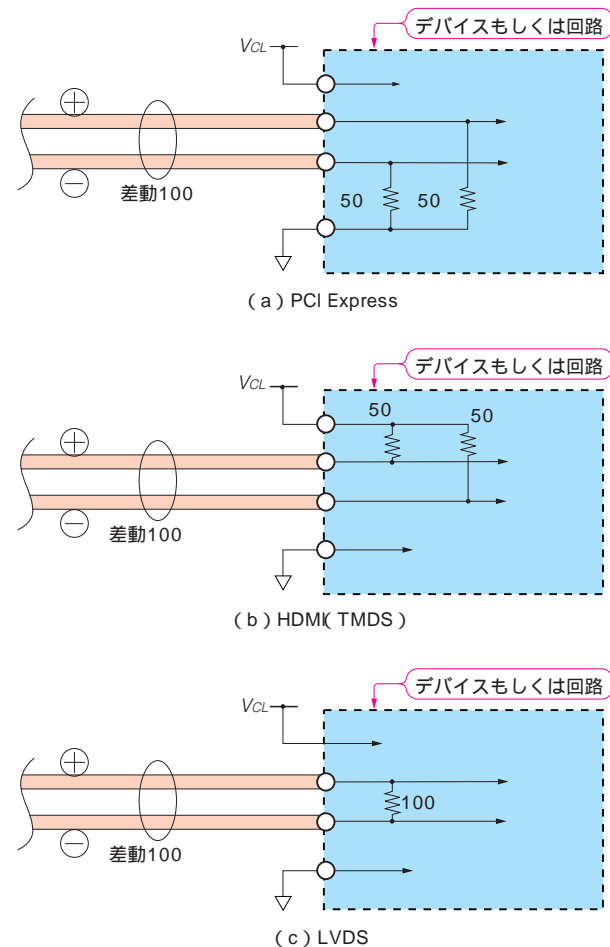


図4 主な高速伝送規格の終端方式

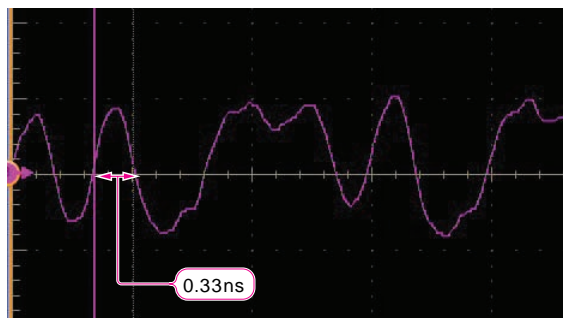


図6 シリアルATA-2(3Gbps)の波形

データの最も狭い間隔が0.33nsとカーソルから読み取り、3Gbpsの信号と分かる。

している部分とデータが連続している部分で信号の振幅が異なっています。これはディエンファシスと呼ばれ、図8に示すように同じデータが続く場合は2ビット目以降の振幅を30%程度(3.5dB)小さくします。

高速データ伝送では伝送線路の損失などが原因で、立ち上がり、立ち下がり部分がなまります。それを補うために、信号が変化する部分の振幅をあらかじめ大きくして伝送します。一般には、立ち上がり部分の振幅を通常レベルより大きくするため、プリエンファシス(強調)と呼びます。PCI Expressでは、立ち上がり、立ち下がり以外の部分の振幅を下げてアイ・パターンを開かせるため、ディエンファシスと呼びます。プリエンファシスは通常のIC出力を増強する必要がありますが、ディエンファシスは通常のIC回路で比較的容易に実現できます。

写真3(a)を見ると16対すべてのパターンにコンデンサが直列に入っています。これらは図1に示した送信(Tx)信号のパターンで、コンデンサによってDCカットされています。この場合50Ωでグラウンドに落としているので、DC 0Vを中心に波形がプラスとマイナスに振れます。図2(a)の波形は0Vに対して±0.2Vで振れています。

通常はPCI Expressの受信側のコモン・モード電圧などにより中心が0Vになるとは限りません。

今回の波形測定には、米国Tektronix社製リアルタイム帯域20GHzのオシロスコープ「DSA72004」を使用しました。

2 高速差動信号パターン設計のポイント

● PCI Expressパターン設計の基本

写真4はPCI Expressアドイン・カード(拡張ボード)用適合試験治具(CBB: Compliance Base Board)のパター

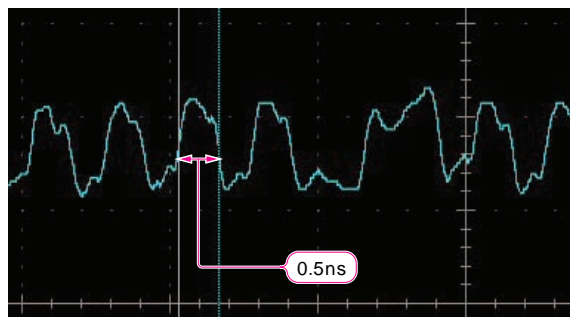


図7 HyperTransport(2Gbps)の波形

信号幅が0.5nsなので、本ボードでは伝送速度が2Gbpsであることが分かる。

ンの一部です。アドイン・カードを差すコネクタの裏側部分にあたります。CBBはコンプライアンス・テストなどに利用します。このパターンはいわばPCI Expressパターンのお手本といってよいでしょう。これらのPCI Expressのパターンに求められるポイントを以下に示しました。

PCI Expressパターン設計のポイント

- 1) 2本で1ペアの差動パターンで配線
- 2) パターンの曲がり箇所を45°で曲げる
- 3) フィンガ部分では差動パターンを隣り合うピンに接続
- 4) ピン接続部などで差動パターンが分かれる場合、各線の長さを同じにする。
- 5) 差動パターンに直列に入るコンデンサは並べて配置
- 6) 差動パターンにピアを極力使わない。ピアを使う場合は並べて配置
- 7) 差動パターンは内層がグラウンド層の上を配線する(アドイン・カードは強制)
- 8) カード・エッジのフィンガ部の内層は不要

上記の八つのポイントはPCI Expressの信号パターン設計に要求される内容の一部です。PCI Expressの規格に適合するパターン設計は仕様¹⁾に従い、ガイドライン²⁾に沿う必要があります。上記ポイントについての考察を次に示します。

これらはPCI Expressに限らず、信号の伝送レートが数

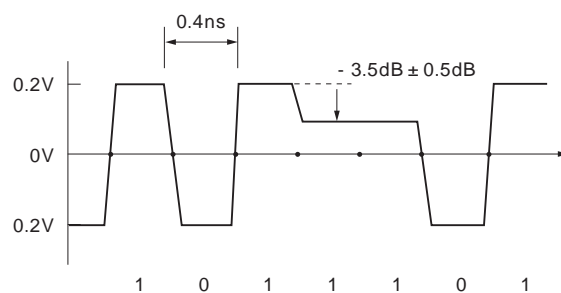


図8 PCI Expressのディエンファシス

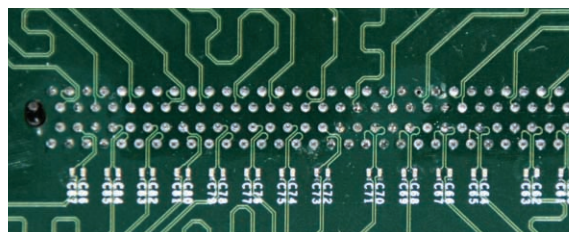


写真4 PCI Expressのパターン例(適合テスト用CBB基板)

百 Mbps ~ 数 Gbps の高速差動信号のパターン設計にも参考になる内容です。

1) 差動信号の影響はパターン幅の倍程度に収まる

図9はPCI Expressで標準的に想定しているFR-4(ガラス・エポキシ)の4層基板の断面です(4層基板でこの寸法でないと規格適合と認められないわけではない)。パターン幅が0.13mmと一般の4層基板のパターンに比べてかなり細くなっていますが、差動線路は2本で一つの信号を送ります。実質一つの信号で0.4mm程度の幅を使うことになります。

図10は、電磁界解析で図9の断面の差動パターンに差動信号パルスを通したときに、基板の参照面を通る電流の範囲を解析した結果です。

図11はこの解析結果の断面に沿った電流の強度を表したものです。この図から分かるように参照面上の電流は差動パターン幅の倍程度に収まっています。PCI-SIGのガイドラインでは、図12のようなペア線の間は0.5mm以上とるように推奨しています。

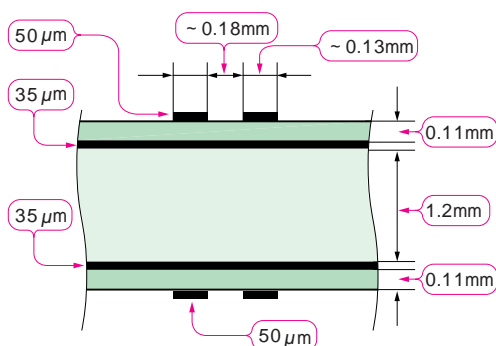


図9 PCI Expressのマイクロストリップ差動パターンのサイズ

FR-4.2の4層基板(FR-4)使用時の標準的な寸法。レジストは示していない。

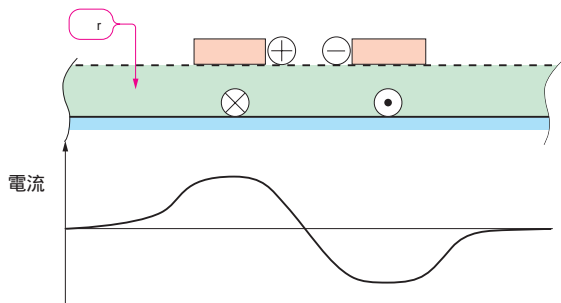


図11 マイクロストリップ差動パターン電流分布

参照面上の電流の強さ

PCI Expressのガイドラインでは、内層の電源やグラウンドなどのベタ面で信号線に隣接している面を参照面と呼んでいます。ここでもベタ面を参照面と呼ぶことにします。

3次元電磁界解析には英国Flomerics Group社の「Microstripes V7」^{注1}を使用しています。

2) 45°曲げと90°曲げの差はあまりない

写真4から分かるように、PCI Expressパターン設計のガイドライン²には、パターンを45°で曲げ、90°で曲げないように書かれています。実際にはコネクタやスルー・ホールなど90°になる箇所もあるので、それだけで波形が大きく崩れるわけではないと思われます。

電磁界解析で図9の差動パターンの45°曲げと90°曲げの差を見てみました。パルス幅が約0.4ns(2.5Gbps相当)の単発波形を印加したとき、90°曲げは先端部にまで参照面の電流が進まず、45°曲げと同じような電流分布になっています(図13)。

この解析は一般に行われている、特定の周波数(例えば1GHz)の正弦波を線路に連続的に印加したときの様子ではありません(図14(a))。PCI Express Gen1のパルス幅相当の電圧波形を線路に印加して時間経過を解析しています

注1：国内問い合わせ先はKCC日本支店、<http://www.flomerics.co.jp/>

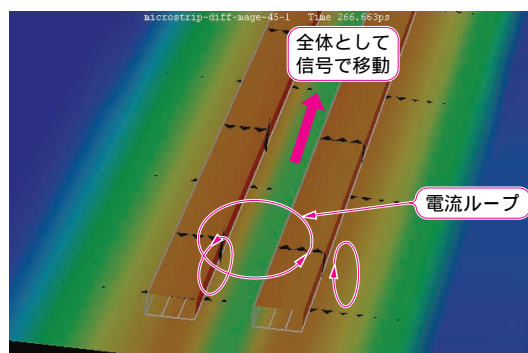


図10 差動パターン下の参照面の電流分布

マイクロストリップ差動パターンは白線で表示。

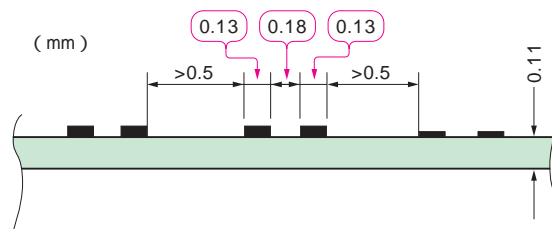


図12 差動パターン間の距離

〔図14(b)〕。

この解析では波形が乱れると、時間の経過に伴って強い電流が一部反対側に戻ってくる(反射が起きる)ので、現象を直感的に理解できます。

図15は曲がり部分にパルスが達したときの参照面上の電流分布です。動画で見れば反射成分がすぐ分かるのですが、この部分ではほとんど反射が生じていません。

3) 差動信号は表裏ではなく隣同士に並べる

エッジ・コネクタに差動パターンを接続する場合、図16のような基板の表裏でなく、隣り合うフィンガ(接触用メッキ・パターン)に接続します。

差動信号はペアになる導体が近くに並んでいる場合、電気信号のほとんどが線路間の空間を進んでいきます。エッジのフィンガ部分もできるだけ並べたままにすると、スムーズに信号を伝送できます。

4) 差動ペアの長さに差が出ないように配線する

ICピンやコネクタへの接続部などでは差動パターンのペアがどうしても離れてしまう場合があります。この範囲を

ブレイクアウト・エリア(Breakout Area)と呼んでいます。ブレイクアウト・エリアでは、ペアになる差動パターンの長さに差が出ないように注意する必要があります。

写真4のように差動パターンの配線方向とピンとの位置関係から、いろいろなパターンの引き方があります(図17)。

5) 差動ペアでは直列コンデンサを並べて配置

写真4のように差動パターンの途中でDC成分をカットするACコンデンサなどを入れる場合は図18で示すように並べて配置します。

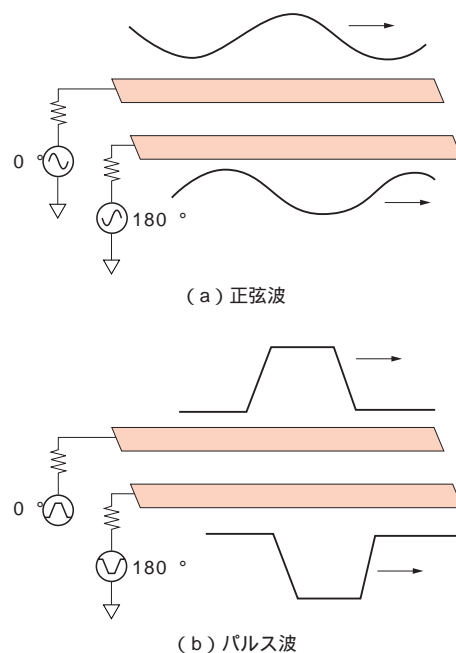
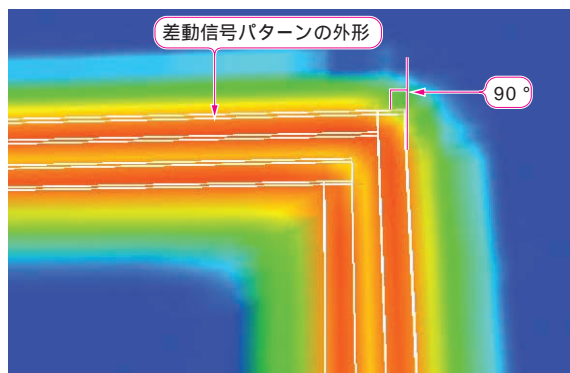
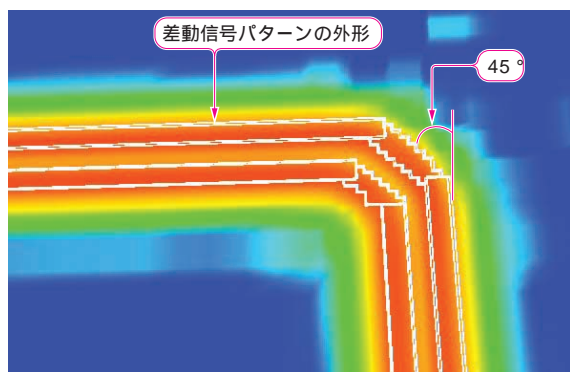


図14 正弦波とパルス波による励起



(a) 90 曲げ



(b) PCI-SIG推奨の45 曲げ

図13 参照プレーン上の電流分布

白線は参照面上に配置されている差動パターンの輪郭を示す。



(a) 90 曲げ



(b) 45 曲げ

図15 曲げ部分での反射

(a)と(b)に大きな差は見られない。

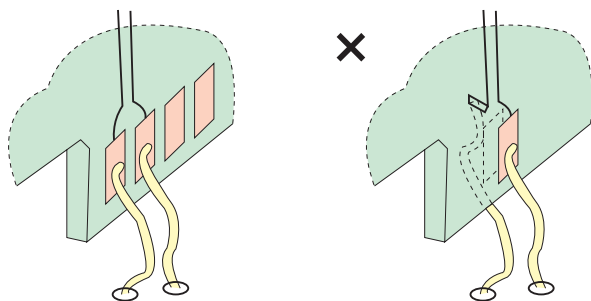


図16 エッジ・フィンガへの差動パターンの配線

6) 差動ペアではビアを並べて配置

GHz を超える差動信号を扱うにはビアは安易に使うべきではありません。PCI Express のガイドラインではアドイン・カードの差動信号線路のビア数制限を以下のように推奨しています。

- Tx(送信)用差動線路は4個まで
- Rx(受信)用差動線路は2個まで

差動ビアの配置は、AC コンデンサと同じように線路の進行方向に直角方向に並べて配置するように推奨されています(図19)。ビアの付近の形状によって信号の通り方がどのように異なるかを解析してみました。解析は、実際の様子と異なる可能性があります。高速信号伝送のイメージをつかむには役に立つと思います。

図20(a)はビアが並んでいる場合、図20(b)はビア位置をずらした場合の解析モデルです。実際にはグラウンド層、電源層がありますが、示していません。基板の層構造は図9の寸法です。パッド径は0.6mm、穴径は0.35mmです。電源層とグラウンド層はビア付近において、スルー・ホールとコンデンサなどで結合していません。

正弦波でなくパルス波を印加して解析しています。図21

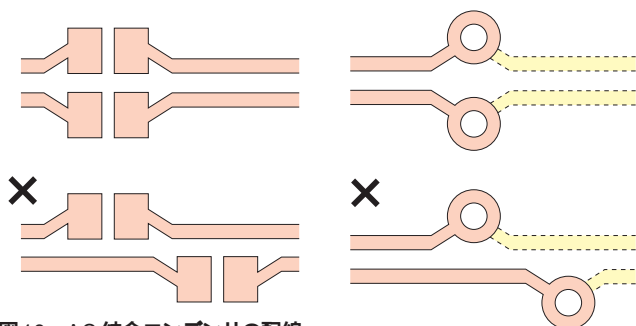


図18 AC 結合コンデンサの配線パターン

図19 差動パターンのビアの配置

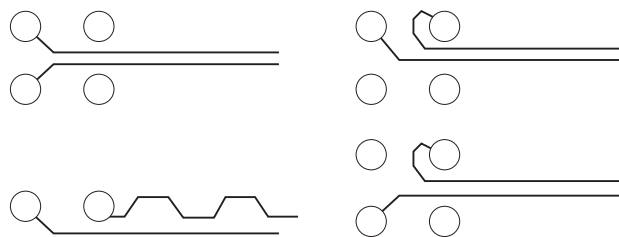


図17 差動ペアが分断される個所のパターン配線

(a)は図20(a)の、図21(b)は図20(b)の一定時間経過後の表面電流です。動画でないので分かりにくいですが、差動ビア部分から戻ってくる電流は両方ともそれほど多くは見られません。

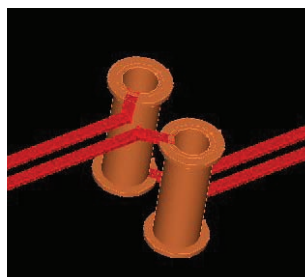
比較のために、シングルエンド配線の場合、ビアからの反射成分がどのように違うかを解析してみました(図21(c))。見えている電流はビア部分から戻ってきた成分です。このようにシングルエンドのビアでは差動ビアより反射が大きくなります。

ビアの部分を詳しく解析します。図22(a)は差動ビアの、図22(b)はシングルエンドのビアの表面電流強度分布です。差動ビアの側面(内側)に電流が強く流れているのに対して、シングルエンドのビアは電流が強く流れていません。

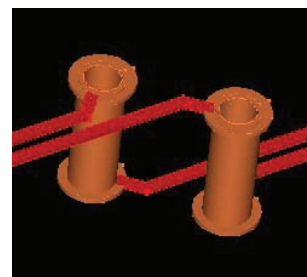
この点を確認するため磁界分布を比較します。図23(a)は差動ビア、図23(b)はシングルエンドのビアです。差動ビア間には磁界が強く表れているのに対して、シングルエンドでは弱くなっています。

一様な伝送線路では、線路付近の磁界の強さが表面電流と関連します。磁界が連続的に強く出れば電流もスムーズに流れています。差動信号線では主に線間を電流が流れるためビア部分で反射が起きにくいと考えられます。

電源層とグラウンド層では、信号が通りにくかったり、波形が乱れたり周囲に干渉したりする恐れがあります。今



(a) 差動ビアを並べた場合



(b) 差動ビアの位置をずらした場合

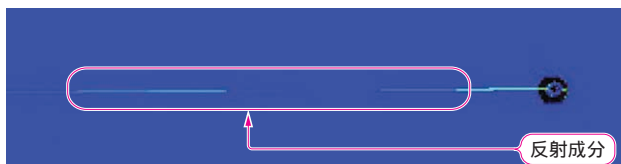
図20 ビアの解析モデル



(a) 差動ビアを並べた場合



(b) 差動ビアの位置をずらした場合



(c) シングルエンド配線のビアの場合

図21 ビアによる信号反射の電流分布

(a)と(b)には電流の反射成分がほとんど見られない。

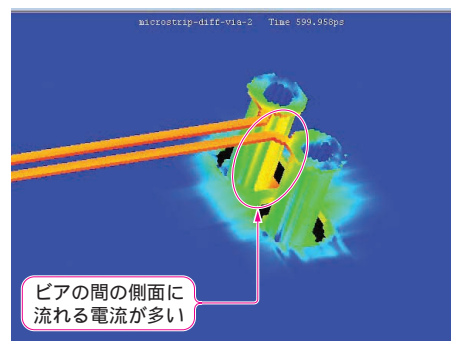
回の解析では採用していませんでしたが、基本的には信号ビアの近くで電源層とグラウンド層をコンデンサなどで結合しておく方がよいでしょう。

7) 差動信号では参照面をそれほど気にする必要はない

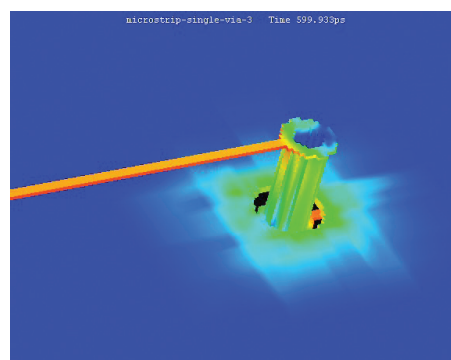
PCI Expressでは、メイン・ボード側は電源層の上に差動データ信号の配線を許していますが、アドイン・カードはグラウンド層の上にしか配線を許していません。この点について検討してみました。

図4に高速差動デジタル伝送の主な方式を示しました。それぞれの方式を終端抵抗の位置で分類しました。

- 信号-グラウンド間：PCI Express
- 信号-電源間：TMD5 (HDMI や DVI)



(a) 差動ビア



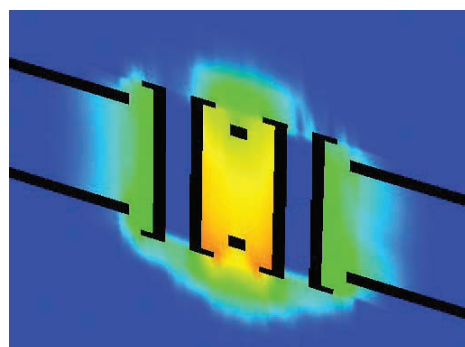
(b) シングルエンド・ビア

図22

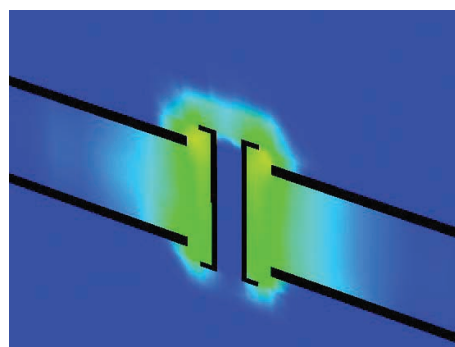
ビア内層の電流の様子

● 差動信号間：LVDS

IC 内部の構造は一般に公開されていないので、類推で簡易モデルを作成して解析してみました。図24(a)の中央の線はIC パッケージの境、右側はIC 内部、左側はピンと外部の基板パターンを示します。差動信号線路の両側が終端抵抗のつながっている電源あるいはグラウンドのピンです。終端抵抗は差動線路の端に配置しています。図24(b)は終端抵抗のつながる電源あるいはグラウンドが差動信号線路パターンの直下の参照面と異なっている場合です。図24(c)は図24(b)の構造でシングルエンド線路の場合を示し



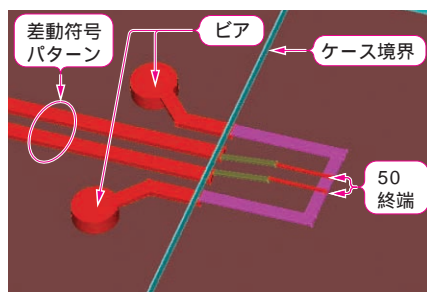
(a) 差動ビア



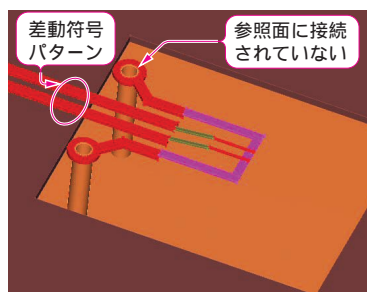
(b) シングルエンド・ビア

図23

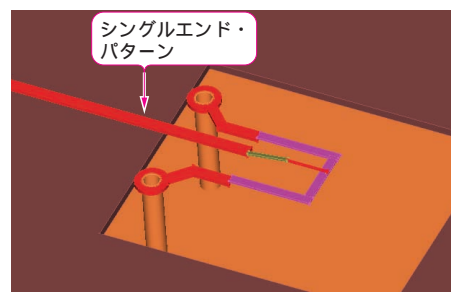
ビア内部の磁界分布



(a) 差動信号の参照層が終端抵抗の参照層と同じ場合



(b) 差動信号の参照層が終端抵抗の参照層と異なる場合



(c) シングルエンド信号の参照層が終端抵抗の参照層と異なる場合

図24 エッジ部の解析モデル



(a) 差動



(b) シングルエンド

図25 参照面と終端抵抗の接続先が異なる場合のエッジ部による信号反射の電流分布

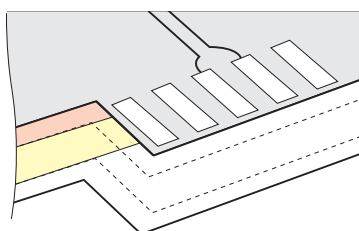
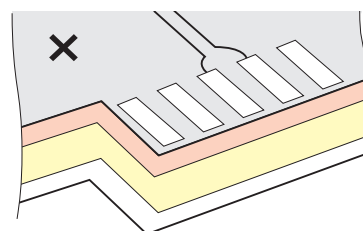


図26 カード・エッジの構造
フィンガを内層をはずすこと。



ます。

図25はパルス波を印加したときの解析結果です。図25(a)は差動線路の場合で参照面と終端抵抗の接続先が異なる場合ですが反射はほとんど見えません。図25(b)は同様の構造でシングルエンドの場合です。参照面と終端抵抗の接続先が同じ面の場合は、差動線路、シングルエンド線路ともに反射が見られませんでした。

この解析はすべてに当てはめるわけにはいきませんが、差動線路を使う場合はシングルエンドに比べて参照面をどれにするかをそれほど気にする必要はないかもしれません。

PCI Express の特に Gen1 では設計ガイドラインはそれなりにかなり余裕をもっているという話もあるようです。今後の Gen2, Gen3 を考えるとガイドラインはそれなりに守っておく方がよいと思われます。

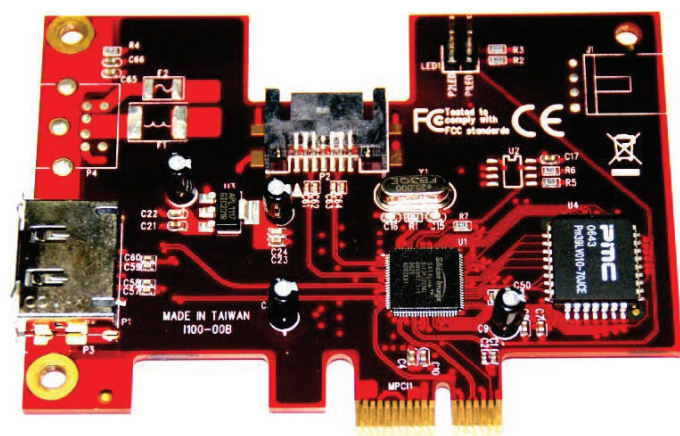
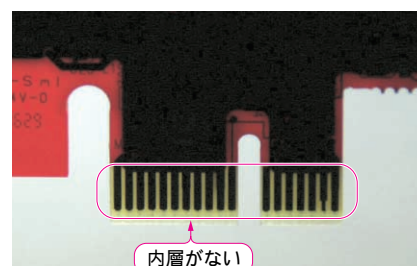
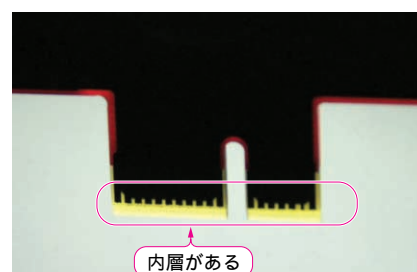


写真5 シリアルATA 入出力用 PCI Express アドイン・カードの例



(a) PCI Express規格適合カード



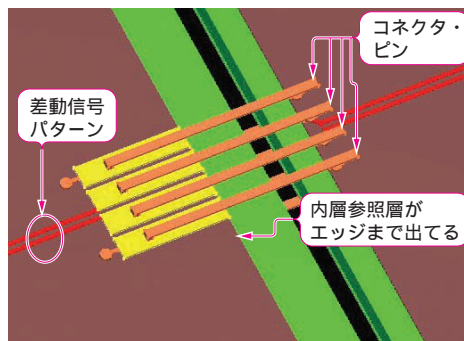
(b) PCI Express規格非適合カード

写真6 PCI Express アドイン・カードのエッジ部分

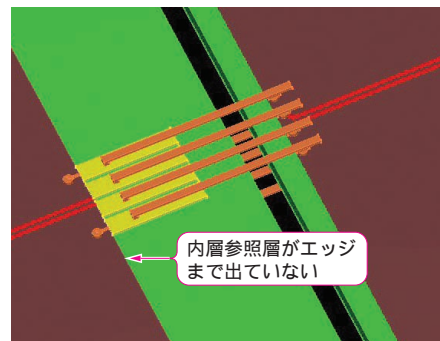
(a)は内層ベタ層を配置しない。(b)は内層ベタ層が配置されており適合品でない。

図27
内層参照層の影響を調べる解析モデル

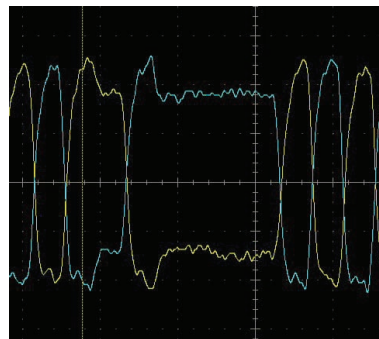
この図では見せていないが、実際には表面パターンと内層間に0.11mmのエポキシガラス層がある。



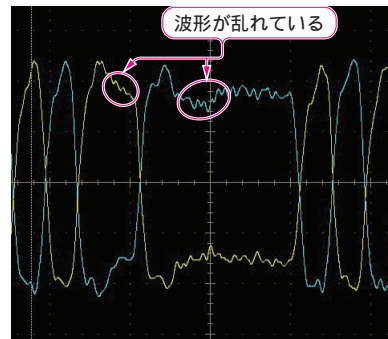
(a) 内層参照層がフィンガの下まで出ている
(PCI Express非適合)



(b) 内層参照層がフィンガの下にない
(PCI Express適合)



(a) 正規アドイン・カード



(b) エッジ・フィンガ下に内層がある、非適合ボード

図28
内層参照層の実波形への影響

8) フィンガの先まで内層を延ばすと反射が多くなる

PCI Expressの基板設計仕様でアドイン・カードのエッジ部の内層を残さないように規定されています(図26)。この点について考察してみました。

写真5はPCI Express規格に適合した1レーン(x1)のアドイン・カードの例です。このカードのエッジの部分を拡大して透かしてみたものが写真6(a)です。内層パターンがこの部分にありません。一方、写真6(b)は類似のカードですが、エッジ部分を透かしてみると内層ベタ層がフィンガの先まで伸びていて、PCI Expressの規格に適合していません。

図27(a)は差動信号パターンのフィンガの両側を内層のグラウンドにつないで、内層をフィンガの先まで延ばした解析モデルです。図27(b)は内層をフィンガの手前で切ったモデルです。

フィンガ部に内層がある場合の解析結果は、反射が大きく出ました。一方、内層がない場合の解析結果は、反射成分があまり出ませんでした。

図28(a)はエッジ・フィンガ部に内層があるボードの、

図28(b)は正規の内層があるボードの波形です。正規ボードの方が、波形が乱れていないことが分かります。

参考・引用*文献

- (1) PCI-SIG ; PCI Express Card Electromechanical Specification, Revision 1.1, PCI-SIG, 2005.
- (2) PCI-SIG ; PCI Express Architecture, Add-in Card Compliance Checklist for the PCI Express Base 1.1 Specification, PCI-SIG, 2006.
- (3) PCI-SIG ; PCI Express PHY Electrical Test Considerations Revision 1.1, PCI-SIG, 2007.
- (4) D. Colemanほか; PCI Express Electrical Interconnect Design, Intel Press, 2004.
- (5) 特集PCI Expressのデバイス&ボード設計, Design Wave Magazine, 2006年1月号, CQ出版社.
- (6) 荒井信隆ほか; PCI Express入門講座, 電波新聞社, 2007年.

しだ・あきら